

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-243570

(43)Date of publication of application : 29.08.2003

(51)Int.Cl. H01L 23/12
H01F 17/00
H01Q 1/38

(21)Application number : 2002-307429

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.10.2002

(72)Inventor : KOBAYASHI KAZUHIKO

SAKOTA EIJI

MATSUKI HIROHISA

IGAWA OSAMU

SATO MITSUTAKA

AOKI KOUKI

SAKIMA HIROYUKI

(30)Priority

Priority number : 2001381325

Priority date : 14.12.2001

Priority country : JP

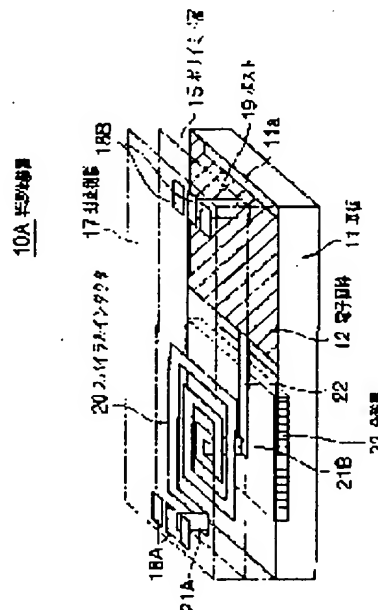
(54) ELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an electronic device miniaturized while sustaining high reliability.

SOLUTION: The electronic device on which an electronic circuit is formed comprises a substrate 11 having a circuit forming surface 11a on which an electronic circuit 12 constituting a part of the aforementioned electronic circuit is formed, a polyimide layer 15 formed on the circuit forming surface 11a, and a spiral inductor 20 patterned on the polyimide layer 15 and constituting a part of the aforementioned electronic circuit.

本発明の第1実施例である電子装置の構成図



LEGAL STATUS

[Date of request for examination]

22.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-243570

(P2003-243570A)

(43) 公開日 平成15年8月29日 (2003. 8. 29)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12 5 0 1	P 5E070
H 0 1 F 17/00		H 0 1 F 17/00	B 5J046
H 0 1 Q 1/38		H 0 1 Q 1/38	

審査請求 有 請求項の数 10 O L (全 19 頁)

(21) 出願番号 特願2002-307429 (P2002-307429)
(22) 出願日 平成14年10月22日 (2002. 10. 22)
(31) 優先権主張番号 特願2001-381325 (P2001-381325)
(32) 優先日 平成13年12月14日 (2001. 12. 14)
(33) 優先権主張国 日本 (JP)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(72) 発明者 小林 一彦
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72) 発明者 迫田 英治
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(74) 代理人 100070150
弁理士 伊東 忠彦

最終頁に続く

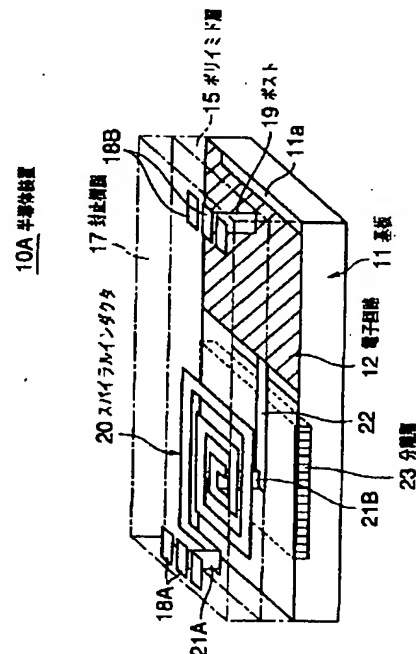
(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】 本発明は小型化された電子装置に関し、小型化を図っても高い信頼性を維持することを課題とする。

【解決手段】 電子回路が形成される電子装置であって、前記電子回路の一部を構成する電子回路12が回路形成面11a上に形成された基板11と、回路形成面11a上に形成されたポリイミド層15と、ポリイミド層15上にパターン形成されており前記電子回路の一部の回路を構成するスパイラルインダクタ20とを設ける。

本発明の第1実施例である電子装置の構成図



【特許請求の範囲】

【請求項 1】 電子回路と、該電子回路と接続される外部接続端子とを有する電子装置であって、前記電子回路の一部の回路が回路形成面上に形成された基板と、

該回路形成面上に形成された絶縁層と、

該絶縁層内または該絶縁層上に、前記電子回路と前記外部接続端子とを接続する配線と共にパターン形成されており、前記電子回路の一部の回路を構成する内部配線とを具備することを特徴とする電子装置。

【請求項 2】 請求項 1 記載の電子装置において、前記内部配線により形成される電子回路がスパイラルインダクタであることを特徴とする電子装置。

【請求項 3】 請求項 1 記載の電子装置において、前記内部配線により形成される電子回路がアンテナであることを特徴とする電子装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の電子装置において、前記内部配線により形成される電子回路と、前記基板に形成される電子回路との間に、シールド層を形成したことを特徴とする電子装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の電子装置において、前記基板に、該基板と前記内部配線により形成される電子回路とを電気的に分離する分離層を形成したことを特徴とする電子装置。

【請求項 6】 電子回路が形成されると共に、表面に無機絶縁層が形成された基板と、前記無機絶縁層上に形成された第 1 の絶縁膜と、該第 1 の絶縁膜上に形成された配線により構成されるインダクタと、該第 1 の絶縁膜上に前記インダクタを覆うよう形成された第 2 の絶縁膜とを有する電子装置であって、前記第 1 の絶縁膜の厚さを $9\mu\text{m}$ 以上とし、かつ、前記第 2 の絶縁膜の厚さを $55\mu\text{m}$ 以上としたことを特徴とする電子装置。

【請求項 7】 請求項 6 記載の電子装置において、前記第 1 の絶縁膜を、ポリイミドまたはエポキシを主成分とする有機絶縁材により形成したことを特徴とする電子装置。

【請求項 8】 請求項 6 または 7 記載の電子装置において、前記第 1 の絶縁膜を複数の絶縁層を積層した多層構造とすると共に、前記基板に形成された電極と前記インダクタとを層間配線により接続する構成とし、かつ、前記第 1 の絶縁膜を構成する各絶縁層に形成される層間配線が設けられる孔の直径寸法が、前記基板に対して上層となる程小さくなるよう構成し、かつ、少なくとも最上位置に位置する絶縁層が前記無機絶縁層を覆う構成としたことを特徴とする電子装置。

【請求項 9】 請求項 6 乃至 8 のいずれか 1 項に記載の電子装置において、

前記基板に形成された電極と前記インダクタとを層間配線により接続する構成とし、

かつ、前記第 1 の絶縁膜に形成される層間配線が設けられる孔の直径寸法が、前記無機絶縁層に形成されるビア孔の直径寸法よりも小さくなるよう構成し、

かつ、前記第 1 の絶縁膜が前記無機絶縁層を覆う構成としたことを特徴とする電子装置。

10 【請求項 10】 請求項 9 記載の電子装置において、前記第 1 の絶縁膜に形成される層間配線が設けられる孔の直径寸法を $20\sim 50\mu\text{m}$ としたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子装置に係り、特にチップサイズパッケージ構造を有する半導体装置に代表される小型化がされた電子装置に関する。

20 【0002】近年、携帯電話に代表されるように移動体通信機の小型化及び薄型化が急速な勢いで進んでいる。これに伴い、これらの電子機器に搭載される電子部品、及び半導体装置に代表される電子装置の小型化が要求されている。

【0003】

【従来の技術】例えば、携帯電話等の高周波帯域を使用する移動体通信機に搭載される電子装置は、移動体通信機の小型化軽量化に伴い、より小型化及び高密度化が望まれている。また、この種の電子装置は、大略すると高周波用アクティブ部品とパッシブ回路とにより構成されている。このため、電子装置の小型化を図るため、高周波 (RF) 用アクティブ部品と高周波 (RF) 用パッシブ回路とを高集積化することが考えられる (例えば、特許文献 1 参照)。

40 【0004】しかしながら、例えばローノイズアンプ (LNA)、パワーアンプ (PA) 等の高周波用アクティブ部品において整合回路を集積化しようとした場合、パッシブ回路の損失による特性劣化が避けることが出来ない。このため、従来では特性を左右する部分の整合回路は集積しないで、外部整合の選択をしてきた。また、PA などにおいては、電流量の関係から、半導体基板上に整合回路、或いは、電源回路を構成することは、コスト面から非現実的であった。

【0005】

【特許文献 1】特開 2002-164468 号公報

【0006】

50 【発明が解決しようとする課題】しかしながら、上記した携帯電話にみられる移動体通信機に搭載される高周波部品における部品点数の削減、小型化等の要求は益々増大する傾向にあり、これら整合回路の集積化の要求が、近年高まってきている。よって、これらの要求を満たす

ために、半導体基板上に形成するRF用パッシブ回路（とりわけスパイラルインダクタ）に関してさまざまな提案がされているが、ある程度の改善がみられるものの、Q値等に関係があり抜本的な解決がされていなかった。

【0007】本発明は上記の点に鑑みてなされたものであり、小型化されても特性劣化の無い、高い信頼性を維持し得る電子装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0009】請求項1記載の発明は、電子回路と、該電子回路と接続される外部接続端子とを有する電子装置であって、前記電子回路の一部の回路が回路形成面上に形成された基板と、該回路形成面上に形成された絶縁層と、該絶縁層内または該絶縁層上に、前記電子回路と前記外部接続端子とを接続する配線と共にパターン形成されており、前記電子回路の一部の回路を構成する内部配線とを具備することを特徴とするものである。

【0010】上記発明によれば、従来外付けされていたパッシブ回路等の電子回路を基板に形成された絶縁層内に形成することができるため、電子装置の多機能化を図ることができ、電子装置が搭載される電子機器等の小型化及び部品点数の削減を図ることができる。

【0011】また、上記発明において、内部配線により形成される電子回路をインダクタとすることができる。

【0012】この構成とした場合、絶縁層内は比較的配線の自由度があるため、基板に直接インダクタを形成する構成に比べ、インダクタ値の設定に自由度を持たせることができる。

【0013】また、請求項2記載の発明は、請求項1記載の電子装置において、前記内部配線により形成される電子回路をスパイラルインダクタとしたことを特徴とするものである。

【0014】上記発明によれば、小面積で高いインダクタ値を実現することができる。また、スパイラルインダクタは、絶縁層内にパターン形成された内部配線で構成されるため、容易かつ安価に形成することができる。

【0015】また、上記発明において、前記スパイラルインダクタを多層に形成することができる。

【0016】この構成とすることにより、小面積で更なる高インダクタ値を実現することが可能となる。

【0017】また、上記発明において、前記内部配線により形成される電子回路と前記基板の回路形成面上に形成された電子回路との接続位置を、前記内部配線の内側の端部位置に設定した構成としてもよい。

【0018】この構成とすることにより、内部配線により形成される電子回路と、基板上に形成された電子回路との接続位置における引き出しラインによる特性劣化を

削減することができると共に共振による影響を軽減することができる。

【0019】また、請求項3記載の発明は、請求項1記載の電子装置において、前記内部配線により形成される電子回路をアンテナとしたことを特徴とするものである。

【0020】上記発明によれば、内部配線でアンテナを形成することにより、いわゆるワンチップで受信機を構成することが可能となり、配線等による特性劣化の少ない信頼性の高い小型の送信機、受信機、或いは送受信機を実現することができる。

【0021】また、上記発明において、前記内部配線により形成される電子回路がインダクタとアンテナとにより構成されるようにしてもよい。

【0022】この構成とすることにより、更に小型化された多機能の電子装置を実現することができる。

【0023】また、上記発明において、前記インダクタとアンテナとを積層形成すると共に、前記アンテナの配設位置が、前記回路形成面に対して前記インダクタより離間した位置にあるよう構成してもよい。

【0024】この構成とすることにより、インダクタとアンテナが共にひとつの電子装置内に積層配設されるため、電子装置の更なる小型化を図ることができる。また、アンテナは回路形成面に対してインダクタより離間した位置、即ち絶縁層内の表面近傍位置或いは表面に配設されるため、アンテナの送受信処理にインダクタが影響を及ぼすことを防止でき、高い送受信特性を得ることができる。

【0025】また、上記発明において、アンテナを基板の回路形成面と反対側の面に形成することも可能である。

【0026】また、請求項4記載の発明は、請求項1乃至3のいずれか1項に記載の電子装置において、前記内部配線により形成される電子回路と、前記基板に形成される電子回路との間に、シールド層を形成したことを特徴とするものである。

【0027】上記発明によれば、内部配線により形成される電子回路と基板に形成される電子回路とがシールド層により電気的に分離（アイソレーション）されるため、両電子回路間で相互に影響を及ぼすことを防止でき、信頼性の高い電子装置を実現することができる。

【0028】また、上記発明において、前記シールド層をメッシュ状としてもよい。

【0029】また、請求項5記載の発明は、請求項1乃至4のいずれか1項に記載の電子装置において、前記基板に、該基板と前記内部配線により形成される電子回路とを電気的に分離する分離層を形成したことを特徴とするものである。

【0030】上記発明によれば、基板と内部配線により形成される電子回路とが分離層により電気的に分離され

るため、基板による影響で上記電子回路のQ値に劣化が生じることを防止でき、電子装置の信頼性の向上を図ることができる。

【0031】また、上記発明において、前記分離層が前記基板に形成された微細トレンチに絶縁材を装填してなる構成としてもよい。

【0032】また、上記発明において、前記電子回路としてローノイズアンプを適用することができる。

【0033】また、記発明において、前記電子回路としてパワーアンプを適用することができる。

【0034】また、請求項6記載の発明は、電子回路が形成されると共に、表面に無機絶縁層が形成された基板と、前記無機絶縁層上に形成された第1の絶縁膜と、該第1の絶縁膜上に形成された配線により構成されるインダクタと、該第1の絶縁膜上に前記インダクタを覆うよう形成された第2の絶縁膜とを有する電子装置であって、前記第1の絶縁膜の厚さを $9\mu\text{m}$ 以上とし、かつ、前記第2の絶縁膜の厚さを $55\mu\text{m}$ 以上としたことを特徴とするものである。

【0035】上記発明によれば、第1の絶縁膜の厚さを $9\mu\text{m}$ 以上としたことにより、基板とインダクタとの間で寄生容量や寄生抵抗が発生することを防止できる。また、第2の絶縁膜の厚さを $55\mu\text{m}$ 以上とすることにより、電子装置の外部機器・装置との間で寄生容量や寄生抵抗が発生することを防止できる。このように、寄生容量や寄生抵抗を低減できるため、インダクタのQ値を高めることができる。

【0036】また、上記発明において、前記基板として半導体基板を用いることができる。

【0037】この構成とすることにより、高Q値を有したマイクロ波モノシリック集積回路(MMIC)を実現することができる。

【0038】また、請求項7記載の発明は、請求項6記載の電子装置において、前記第1の絶縁膜を、ポリイミドまたはエポキシを主成分とする有機絶縁材により形成したことを特徴とするものである。

【0039】上記発明によれば、ポリイミドを主成分とする有機絶縁材は高い絶縁性及び低い誘電率(比誘電率)を有しており、またエポキシを主成分とする有機絶縁材は高い絶縁性を有しているため、インダクタンスのQ値の劣化を防止することができる。

【0040】また、上記発明において、前記第2の絶縁膜をエポキシまたはエポキシを主成分とする有機絶縁材により形成することができる。

【0041】この構成とした場合、インダクタ及び基板は機械的強度に優れたエポキシまたはエポキシを主成分とする有機絶縁材により保護されるため、電子装置の信頼性を高めることができる。また、エポキシまたはエポキシを主成分とする有機絶縁材は高い絶縁性を有しているため、インダクタンスのQ値の劣化を防止することが

できる。

【0042】また、上記発明において、前記第1の絶縁膜を単層構造としてもよい。

【0043】また、上記発明において、前記第1の絶縁膜を多層構造としてもよい。またこの場合、前記第1の絶縁膜を、複数種類の有機絶縁材よりなる層を積層して多層構造としてもよい。

【0044】また、請求項8記載の発明は、請求項6または7記載の電子装置において、前記第1の絶縁膜を複数の絶縁層を積層した多層構造とすると共に、前記基板に形成された電極と前記インダクタとを層間配線により接続する構成とし、かつ、前記第1の絶縁膜を構成する各絶縁層に形成される層間配線が設けられる孔の直径寸法が、前記基板に対して上層となる程小さくなるよう構成し、かつ、少なくとも最上位置に位置する絶縁層が前記無機絶縁層を覆う構成としたことを特徴とするものである。

【0045】上記発明によれば、層間配線を設けるため、多層構造とされた各層に形成された各孔の直径寸法が、基板に対して上層となる程小さくなるよう構成し、かつ少なくとも最上位置に位置する絶縁層が無機絶縁層を覆う構成としたことにより、複数の絶縁層を積層した時にその表面に形成される階段状の段差を最上位置に位置する絶縁層により埋めることができ、よって層間配線が設けられる孔の表面は滑らかな面となる。よって、この孔の表面に層間配線を形成しても、層間配線内に応力が残留することはなく、層間配線形成位置における信頼性の向上を図ることができる。また、孔の内壁は滑らかなテーパ面となるため、層間配線を形成する際、層間配線となる金属膜を確実に孔内に形成することができる。

【0046】また、請求項9記載の発明は、請求項6乃至8のいずれか1項に記載の電子装置において、前記基板に形成された電極と前記インダクタとを層間配線により接続する構成とし、かつ、前記第1の絶縁膜に形成される前記層間配線が設けられる孔の直径寸法が、前記無機絶縁層に形成される前記層間配線が設けられる孔の直径寸法よりも小さくなるよう構成し、かつ、前記第1の絶縁膜が前記無機絶縁層を覆う構成としたことを特徴とするものである。

【0047】上記発明によれば、層間配線を設けるために第1の絶縁膜に形成された孔の直径寸法が無機絶縁層に形成された孔の直径寸法よりも小さくなるよう構成され、かつ第1の絶縁膜が無機絶縁層を覆う構成されているため、無機絶縁層と第1の絶縁膜との間に形成される階段状の段差を第1の絶縁層により埋めることができ、よって層間配線が設けられる孔の表面は滑らかな面となる。よって、この孔の表面に層間配線を形成しても、層間配線内に応力が残留することはなく、層間配線形成位置における信頼性の向上を図ることができる。

【0048】また、請求項10記載の発明は、請求項9

記載の電子装置において、前記第 1 の絶縁膜に形成される層間配線が設けられる孔の直径寸法を $20 \sim 50 \mu\text{m}$ としたことを特徴とするものである。

【0049】上記発明によれば、電子装置の小型化を図りつつ、層間配線のインピーダンス上昇を抑制することができる。

【0050】また、上記発明において、外部接続端子と前記配線とを接続する配線ポストを設け、かつ、前記第 2 の絶縁膜の厚さが前記配線ポストの高さにより規定される構成としてもよい。

【0051】この構成とすることにより、第 2 の絶縁膜の厚さが配線ポストの高さ以上となることはなく、よって第 2 の絶縁膜の厚さを精度よく定めることができる。

【0052】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。

【0053】まず、本発明の第 1 実施例である電子装置について説明する。尚、以下では、電子装置として半導体装置を例に挙げて説明するものとする。

【0054】図 1 乃至図 4 は、本発明の第 1 実施例である半導体装置 10A を説明するための図である。図 1 は半導体装置 10A の概略構成図であり、図 2 及び図 3 は半導体装置 10A の回路図であり、図 4 は半導体装置 10A の断面図である。

【0055】半導体装置 10A は、大略すると基板 11、電子回路 12、絶縁膜層 13、配線層 14、ポリイミド層 15、再配線層 16、封止樹脂層 17、及びスパイラルインダクタ 20 等により構成されている。この半導体装置 10A は、CSP (Chip Size Package) 構造を有している。尚、CSP 構造とは、半導体チップの外形寸法と略同一寸法の外形寸法を有したパッケージ構造をいう。

【0056】基板 11 はシリコン基板（半導体基板）であり、その上面である回路形成面 11a には電子回路 12 が形成されている。この電子回路 12 は半導体装置 10A に搭載される電子回路の一部を構成するものであり、周知の半導体製造技術を用いて形成される。

【0057】また、電子回路 12 は高周波用アクティブ回路であり、具体的には図 2 (C) に示すようにローノイズアンプ（以下、LNA と略称する）である。本実施例では、整合回路となる全てインダクタンスを再配線層 16 で形成するのではなく、LNA として特性が重視される NF 特性に関して、その特性を左右する入力整合回路となるインダクタ L1 をスパイラルインダクタ 20 により構成している。

【0058】また、回路形成面 11a の電子回路 12 形成位置からずれた位置には、分離層 23 が形成されている。この分離層 23 は、微細加工されたトレンチ（溝）内に絶縁物（例えば、 SiO_2 等）を埋め込んだ構成とされている。この分離層 23 は、後述するスパイラルイ

ンダクタ 20 と基板 11 とを電氣的に分離するアイソレーションとして機能する。

【0059】上記構成とされた基板 11 上には、図 4 に示すように、絶縁膜層 13、配線層 14、ポリイミド層 15、再配線層 16、及び封止樹脂層 17 が順次形成される。尚、図 4 に示すのは、電子回路 12 の形成位置における断面図である。

【0060】絶縁膜層 13 は SiO_2 膜であり、シリコン基板上に直接一体的に形成された絶縁膜である。また、この絶縁膜層 13 上には、配線層 14 が形成されている。この配線層 14 は、電子回路 12 の回路内配線、及び電子回路 12 の入出力端子を構成する。

【0061】ポリイミド層 15 は電氣的に絶縁性を有しており、基板 11 上に例えば $12 \mu\text{m}$ の厚さで形成されている。このポリイミド層 15 は、例えばスピナーを用いて形成される。よって、このポリイミド層 15 は絶縁膜層 13 と異なり、基板 11 上に別個に形成された構成となっている。

【0062】再配線層 16 は請求項に記載の内部配線となるものであり、例えば銅 (Cu) よりなり、ポリイミド層 15 上に所定のパターンで形成されている。この再配線層 16 の形成方法としては、メッキ法、スパッタ法、CVD 法等の種々の薄膜形成技術を用いることができる。また、周知のマスキング処理或いはレジスト処理を行なうことにより、再配線層 16 に形成される配線パターンは任意の形状のパターンに容易に形成することができる。尚、この再配線層 16 については、説明の便宜上、後述するものとする。

【0063】封止樹脂層 17 は、例えばエポキシであり、前記したポリイミド層 15 と同様に電氣的に絶縁性を有している。この封止樹脂層 17 は、例えば圧縮成形法を用いて形成される。この封止樹脂層 17 の所定位置には、入力パッド 18A 及び出力パッド 18B が形成されている。

【0064】図示しない外部接続端子（例えば、はんだボール等）は、この各パッド 18A、18B 上に形成される。また、各パッド 18A、18B は、外側ポスト 21A を介してスパイラルインダクタ 20 に接続されている。更に、出力パッド 18B は、ポスト 19 を用いて電子回路 12 に接続されている。

【0065】ここで、スパイラルインダクタ 20 に注目し、以下説明する。

【0066】前記した再配線層 16 は、基本的には電子回路 12 の入出力端子を外部接続端子 31（図 12 参照。尚、図 1 では図示せず）の配設位置まで引き出す配線として機能するものである。しかしながら本実施例では、この電子回路 12 の入出力端子と外部接続端子 31 とを接続する本来的な配線を再配線層 16 に形成すると共に、この再配線層 16 に配線パターンをスパイラル状に巻回した形状とすることによりスパイラルインダクタ

20を形成したことを特徴とする。よって、本実施例に係る半導体装置10Aは、基板11上に形成される電子回路12とは別の位置に、インダクタであるスパイラルインダクタ20を形成したことを特徴としている。

【0067】このスパイラルインダクタ20はパッシブ回路であり、半導体装置10Aに搭載される電子回路の一部を構成する。よって、基板11の回路形成面11a上に形成された電子回路12（高周波用アクティブ回路）と、ポリイミド層15上に再配線層16として形成されたスパイラルインダクタ20（高周波用パッシブ回路）は、協働して半導体装置10Aの電子回路を構成する。

【0068】スパイラルインダクタ20の一端部は、外側ポスト21Aを介して入力パッド18Aに接続されている。また、スパイラルインダクタ20の他端部は、配線22を介して電子回路12に接続されている。また、スパイラルインダクタ20（再配線層16）は、前記のように周知の薄膜形成技術を用いて形成することができるため、低コストで形成することができる。

【0069】また、前記したように本実施例に係る半導体装置10Aは、電子回路12内に形成されたインダクタL1、L2（図3には図示せず）とは別個にスパイラルインダクタ20を有している。また、このスパイラルインダクタ20は、半導体装置10A内に形成された構成とされている。

【0070】よって、従来では外付けされていたスパイラルインダクタ20（パッシブ回路）を、本実施例では基板11に形成されたポリイミド層15及び封止樹脂層17とより構成される絶縁層の内部に形成することができるため、半導体装置10Aの多機能化を図ることができる。またスパイラルインダクタ20が搭載される半導体装置10Aの小型化及び部品点数の削減を図ることができる。

【0071】また、前記したようにスパイラルインダクタ20を構成する再配線層16は銅（Cu）により形成されており、またポリイミド層15の厚さが数十ミクロンであるので、再配線層16の抵抗による損失、及び多層構造の上下層間のカップリングによる影響等が少なくすることができる。

【0072】一方、前記したように再配線層16は、基本的には電子回路12の入出力端子を外部接続端子31の配設位置まで引き出す配線として機能するものである。しかしながら、この本来的な再配線層16を形成しても、絶縁層であるポリイミド層15と封止樹脂層17との間には比較的配線の自由度がある。

【0073】このため、電子回路12が形成される基板11上にスパイラルインダクタ20を形成する構成に比べ、再配線層16によりスパイラルインダクタ20を形成する方がインダクタ値の設定に自由度を持たせることができる。また、スパイラルインダクタ20の形状、及

び電子回路12との接続態様についても自由度を持っている。

【0074】よって、例えばLNAの場合は、重要な特性はNF特性であるので、入力整合回路に用いるインダクタにスパイラルインダクタ20を適用する構成とする。また、PAの場合は、電流容量の点から出力整合回路、電源回路にスパイラルインダクタ20を適用する。このように、電子回路12の回路特性に応じた構成に、スパイラルインダクタ20を容易に適合させることができる。

【0075】ここで、前記した分離層23に注目する。図1に示されるように、分離層23はスパイラルインダクタ20の直下位置に形成されている。この分離層23は、基板11に形成された微細トレンチに絶縁材を装填した構成であり、よって基板11とスパイラルインダクタ20とを電気的に分離する機能を奏する。

【0076】この構成とすることにより、基板11とスパイラルインダクタ20とが分離層23により電気的に分離されるため、基板11による影響で電子回路12のQ値に劣化が生じることを防止でき、電子装置の信頼性の向上を図ることができる。特に、本実施例のように基板11としてシリコン基板を用いた場合、分離層23が存在しないとQ値の劣化は著しいが、分離層23を設けることによりこのQ値の劣化を有効に防止することができる。

【0077】尚、上記したように基板11とスパイラルインダクタ20の間にはポリイミド層15が存在している。このポリイミド層15を構成するポリイミドは、高い絶縁性及び低い誘電率（比誘電率）を有している。このため、分離層23を設けなくても、ポリイミド層15によりQ値の劣化は防止でき、スパイラルインダクタ20の真下位置に電子部品を配置することも可能である。しかるに、上記した実施例のように分離層23を設ける構成とすることにより、更にQ値の劣化を防止することが可能となる。

【0078】また、上記した実施例では分離層23として微細トレンチに絶縁材を装填した構成を用いたが、スパイラルインダクタ20の直下にグラウンド電位とした導電層（N⁺層）を形成する構成としてもよい。この構成としても、上記と同等の効果を達成することができる。

【0079】また、上記した実施例では半導体装置10Aに形成されるインダクタをスパイラルインダクタ20としたが、これをスパイラル形状以外のコイル形状とすることも可能である。しかしながら、スパイラル形状とした方が、小面積で高いインダクタ値を実現することができるため有効である。

【0080】また、上記した実施例では、図2に示すインダクタL2、L3は基板11に形成した構成としたが、このインダクタL2、L23再配線層16により形成する構成とし、パッシブ回路を全て再配線層16によ

り形成する構成としてもよい。

【0081】次に、本発明の第2実施例について説明する。図5は、第2実施例である半導体装置10Bを示している。尚、図5において、先の説明に用いた図1乃至図4に示した構成と同一構成については、同一符号を付してその説明を省略する。また、後述する第3実施例以降に用いる図についても同様とする。

【0082】前記した第1実施例に係る半導体装置10Aは、電子回路12の形成位置とスパイラルインダクタ20の形成位置を回路形成面11a上においてずらして配置した構成とした。即ち、第1実施例に係る半導体装置10Aは、電子回路12とスパイラルインダクタ20とが対向しない構成とされていた。

【0083】これに対して本実施例に係る半導体装置10Bは、電子回路12とスパイラルインダクタ20とが対向するよう構成したことを特徴とするものである。また、本実施例では、電子回路12はLNAである。

【0084】本実施例のように、電子回路12をスパイラルインダクタ20の真下に形成することにより、スパイラルインダクタ20と電子回路12とを接続する配線及びポスト21によるインダクタのQ値劣化を削減することができる。また、電子回路12とスパイラルインダクタ20とが積層された状態となるため、半導体装置10Bの平面視した際のチップ面積を小さくすることができ、半導体装置10Bの小型化を図ることができる。

【0085】また、上記のように本実施例では電子回路12がLNAであるため、入力整合回路を集積することによるNF値の劣化を軽減し、外部入力整合回路を必要としない超小型LNAとして機能する半導体装置10Bを実現することができる。

【0086】更に、本実施例では電子回路12がスパイラルインダクタ20の真下に形成されているため、電子回路12とスパイラルインダクタ20とを電気的に接続するポスト21が、スパイラルインダクタ20の内側の端部位置となる（以下、この端部と電子回路12を接続するポスト21を内側ポスト21Bという）。

【0087】この構成とすることにより、内側ポスト21Bを短くすることができる。よって、内側ポスト21Bによる特性劣化を削減することができ、また共振による影響を軽減することができる。

【0088】次に、本発明の第3実施例について説明する。図6及び図7は、第3実施例である半導体装置10Cを示している。本実施例に係る半導体装置10Cは、複数個（本実施例では2個）のスパイラルインダクタ20A、20Bを形成したことを特徴とするものである。

【0089】第1のスパイラルインダクタ20Aは、基板11上に形成された第1のポリイミド層15A上にパターン形成されている。また、第2のスパイラルインダクタ20Bは、第1のポリイミド層15A上に形成された第2のポリイミド層15B上にパターン形成されてい

る。また、第1のスパイラルインダクタ20Aと第2のスパイラルインダクタ20Bは、平面視した場合に重なり合うよう積層形成された構成とされている。

【0090】上記構成とすることにより、インダクタが第1及び第2のスパイラルインダクタ20A、20Bにより構成されるため、インダクタ値を高めることができる。また、図7(A)に拡大して示すように、第1及び第2のスパイラルインダクタ20A、20Bは重なり合うように積層されるため、平面視したときの半導体装置10Cの面積を小さくすることかできる。よって、本実施例に係る半導体装置10Cによれば、小面積で高インダクタ値を実現することが可能となる。

【0091】また、第2実施例と同様に、電子回路12とスパイラルインダクタ20とを電気的に接続する内側ポスト21Bがスパイラルインダクタ20の内側の端部と電子回路12とを接続するため、内側ポスト21Bは短くなり、内側ポスト21Bによる特性劣化の防止及び共振の影響の軽減を図ることができる。

【0092】上記のように第1及び第2のスパイラルインダクタ20A、20Bが設けられる半導体装置10Cとして、例えば図7(B)、(C)に示されるような電子装置12としてパワーアンプを有したものが考えられる。電子回路12がパワーアンプを含む場合、整合回路となる全てのインダクタL1～L3をスパイラルインダクタ20（再配線層16）で形成するのではなく、パワーアンプとして特性が重視される出力特性に関して、その特性を左右する出力整合回路となるインダクタンスL3をスパイラルインダクタ20Bとする。更に図7

(C)に示す例では、電源回路において、チョークコイルL2にスパイラルインダクタ20Aを適用し、入力整合回路となるインダクタL1は半導体プロセスで形成し、全てのインダクタL1～L3（整合回路）を集積化している。

【0093】尚、スパイラルインダクタの積層数は2個に限定されるものではなく、図8に示すように3個のスパイラルインダクタ（第1乃至第3のスパイラルインダクタ20A、20B、20C）を設ける構成としても、4個以上のスパイラルインダクタを配設することも可能である。このように、スパイラルインダクタの積層数を選定することによっても、インダクタ値を設定することができる。

【0094】また、半導体装置が電子装置12として図14に示すような発信回路を含む場合には、発信機として特性が重視される位相雑音特性に関して、その特性を左右する共振回路（インダクタL）にスパイラルインダクタ20を適用した構成としてもよい。

【0095】次に、本発明の第4実施例について説明する。図9及び図10は、第4実施例である半導体装置10Dを示している。図9は半導体装置10Dの概略構成図であり、図10は半導体装置10Dの等価回路図であ

る。

【0096】本実施例に係る半導体装置10Dは、アンテナ27を設けたことを特徴とするものである。また、電子回路12はLNAとされており、電子回路12とアンテナ27は、入力整合回路となるスパイラルインダクタ20を介して接続されている。よって、半導体装置10Dは、チップ一体型の受信チップを構成する。また、電子回路12をPAとすることも可能である。この構成では、電子回路12の出力ポートにアンテナ27を接続することにより、電子回路12とアンテナ27との間における配線による損失を軽減することができ、PAとしての電子回路12の消費電力を抑えることが可能となる。

【0097】更に、基板11上に送受信機の構成要素（PA、LNA、デジタル信号処理系等）を形成することにより、配線等の損失による特性劣化の少ない超小型のトランシーバを実現することもできる。この際、封止樹脂層17は、アンテナ27の特性上問題ない樹脂を選択する必要がある。

【0098】上記のように本実施例では、アンテナ27は各パッド18A、18Bと同様に封止樹脂層17の上面に形成された構成とされている。しかしながら、アンテナ27をポリイミド層15上に形成することにより、再配線層16と一括的に形成することも可能である。また、スパイラルインダクタ20をポリイミド層15上に形成する場合には、スパイラルインダクタ20とアンテナ27を一括的に形成することも可能である。

【0099】本実施例に係る半導体装置10Dによれば、アンテナ27を形成することにより、いわゆるワンチップで受信機を構成することが可能となり、配線等による特性劣化の少ない信頼性の高い小型の送信機、受信機、或いは送受信機を実現することができる。また、アンテナ27とスパイラルインダクタ20を共に装置内に形成しているため、半導体装置10Dの小型化を図ることができる。

【0100】一方、スパイラルインダクタ20とアンテナ27との位置関係に注目すると、アンテナ27の配設位置は、回路形成面11aに対してスパイラルインダクタ20より離間した位置にあるよう構成されている。即ち、スパイラルインダクタ20が装置の内側に埋設されるよう形成され、アンテナ27は装置の表面に露出されるよう形成されている（浅く埋設されている場合も含む）。この構成とすることにより、アンテナ27の送受信処理にスパイラルインダクタ20が影響を及ぼすことを防止でき、高い送受信特性を得ることができる。

【0101】尚、上記した実施例ではアンテナ27を基板11の回路形成面11aと対向する位置に形成したが、アンテナ27は基板11の回路形成面11aと反対側の面に形成することも可能である。

【0102】尚、本明細書においては、絶縁層である封

止樹脂層17上に形成されるアンテナ27及び各パッド18A、18Bも、スパイラルインダクタ20と同様に請求項に記載の内部配線の一種であるとする。

【0103】次に、本発明の第5実施例について説明する。図11は、第5実施例である半導体装置10Eを示している。本実施例に係る半導体装置10Eは、図5に示した第2実施例に係る半導体装置10Bと略同一構成である。しかしながら、本実施例に係る半導体装置10Eでは、電子回路12とスパイラルインダクタ20との間にシールド層30を形成したことを特徴としている。

【0104】このシールド層30は導電性金属により構成されており、図示されるようにメッシュ状とされている。また、このシールド層30は、図示しない接地されたパッドに接続されており、よってグランド電位とされている。

【0105】上記のように電子回路12とスパイラルインダクタ20との間に接地されたシールド層30を介装することにより、電子回路12とスパイラルインダクタ20はシールド層30により電氣的に分離（アイソレーション）されるため相互に影響を及ぼすことを防止でき、よって信頼性の高い電子装置を実現することができる。また、本実施例ではシールド層30をメッシュ状としているため、ポスト19、21をシールド層30と絶縁することなく立設することが可能となり、ポスト19、21の製造工程の簡単化を図ることができる。

【0106】次に、本発明の第6実施例について説明する。図12は、第6実施例である半導体装置10Fを示している。本実施例に係る半導体装置10Fは、図9に示した第4実施例に係る半導体装置10Dと略同一構成である。しかしながら、本実施例に係る半導体装置10Fでは、スパイラルインダクタ20とアンテナ27との間にシールド層30を形成したことを特徴としている。

【0107】シールド層30は、上記した第5実施例である半導体装置10Eで用いたものと同一のものであり、図示しない接地されたパッドに接続されることによりグランド電位とされている。本実施例のように、スパイラルインダクタ20とアンテナ27との間に接地されたシールド層30を介装することにより、スパイラルインダクタ20とアンテナ27はシールド層30により電氣的に分離（アイソレーション）されるため相互に影響を及ぼすことを防止できる。よって、アンテナ27がスパイラルインダクタ20に起因したノイズを拾うことを防止でき、信頼性の高い送受信機を実現することができる。

【0108】図13は、本実施例に係る半導体装置10Eの伝送特性を示している。同図において、矢印Aで示すのはシールド層30を設けた半導体装置10Eの特性であり、矢印Bで示すのはシールド層30を設けていないものの特性である。同図に示すように、本実施例に係る半導体装置10Eの方が良好な伝送特性を示しているこ

とが判る。

【0109】尚、上記した第5或いは第6実施例では、シールド層30を電子回路12とスパイラルインダクタ20との間、或いはスパイラルインダクタ20とアンテナ27との間のいずれか一方にのみ配設する構成としたが、電子回路12とスパイラルインダクタ20との間、及びスパイラルインダクタ20とアンテナ27との間の双方にシールド層30を配設する構成としてもよいことは勿論である。

【0110】次に、本発明の第7実施例について説明する。図15及び図16は、第7実施例である半導体装置10Gを示している。図5は第7実施例である半導体装置10Gのスパイラルインダクタ20の形成位置近傍を拡大して示している。また、図16は、図15におけるA-A線に沿う断面を示している。

【0111】本実施例に係る半導体装置10Gは、基板11上に形成された第1の有機絶縁膜44及び第2の有機絶縁膜45に特徴を有するものである。本実施例に係る半導体装置10Gは、図16に示されるように、基板11上に無機絶縁層41、第1の有機絶縁膜44、及び第2の有機絶縁膜45が積層形成された構成とされている。また、再配線層16により形成されるスパイラルインダクタ20は、第1の有機絶縁膜44の上部に形成されている。基板11は半導体基板であり、その回路形成面（図16の上面）には、図示しない電子回路12が形成されている。また、基板11の回路形成面の所定位置には、電極46が形成されている。スパイラルインダクタ20の内側端部は、ビア48を介してこの電極46と電氣的に接続されている。

【0112】また、スパイラルインダクタ20の外側端部にはポスト21が立設されている。このポスト21は、後述する第2の有機絶縁膜45を貫通してその上部に突出している。そして、このポスト21の第2の有機絶縁膜45から突出した位置には、外部電極49（半田ボール）が配設されている。

【0113】ここで、基板11上に形成される各絶縁膜41～第2の有機絶縁膜45に注目し、以下説明する。基板11の直上位置には、無機絶縁層41が形成されている。この無機絶縁層41はパッシベーション膜として機能するものであり、PSG(Phospho silicate glass)膜或いはSiN膜により形成されている。

【0114】この無機絶縁層41の上部には、第1の有機絶縁膜44が形成される。この第1の有機絶縁膜44は、第1のポリイミド層42と第2のポリイミド層43を積層した多層構造とされている。前記したように、スパイラルインダクタ20は、この第1の有機絶縁膜44の上部にパターン形成されている。

【0115】また、この第1の有機絶縁膜44の上部には、第2の有機絶縁膜45が配設されている。この第2の有機絶縁膜45は、上記した他の実施例における封止

樹脂層17と同等の機能を奏するものである。この第2の有機絶縁膜45は、例えばエポキシ或いはこのエポキシを主成分とする有機絶縁材により形成されている。

【0116】また、本実施例では、第1の有機絶縁膜44の厚さ（図16に矢印W1で示す厚さ）を $9\mu\text{m}$ 以上とすると共に、かつ、第2の有機絶縁膜45の厚さ（図16に矢印W2で示す厚さ）を $55\mu\text{m}$ 以上に設定している。この第1の有機絶縁膜44及び第2の有機絶縁膜45をこの厚さに設定することにより、スパイラルインダクタ20のQ値を高めることができる。以下、この理由について、図17及び図18を用いて説明する。

【0117】図17は、第1の有機絶縁膜44の厚さ（第1のポリイミド層42の厚さと、第2のポリイミド層43の厚さの合計厚さ）とQ値との関係を示している。尚、同図に示される特性の実験条件として、スパイラルインダクタ20のインダクタンスを 3nH とし、また周波数は 2.0GHz とした。

【0118】図17より、第1の有機絶縁膜44の膜厚が $0.0\mu\text{m}$ 以上 $9.0\mu\text{m}$ 未満の領域においてはQ値は徐々に増加し、 $9.0\mu\text{m}$ 以上となるとQ値は約20.0で安定する。即ち、スパイラルインダクタ20のQ値は、第1の有機絶縁膜44の膜厚が $9.0\mu\text{m}$ 以上では変動することなく、高いQ値を維持する。

【0119】また、図18は、第2の有機絶縁膜45の厚さとQ値変動率との関係を示している。尚、同図に示される特性についても、実験条件はスパイラルインダクタ20のインダクタンスを 3nH とし、また周波数は 2.0GHz とした。

【0120】図18より、第2の有機絶縁膜45の膜厚が $0.0\mu\text{m}$ 以上 $55.0\mu\text{m}$ 未満の領域においてはQ値変動率は徐々に増加し、 $55.0\mu\text{m}$ 以上となるとQ値変動率は約0.0で安定する。即ち、スパイラルインダクタ20のQ値は、第2の有機絶縁膜45の膜厚が $55.0\mu\text{m}$ 以上では変動することなく、高いQ値を維持する。

【0121】このように、第1の有機絶縁膜44の厚さを $9\mu\text{m}$ 以上とすることにより、スパイラルインダクタ20と基板11（回路形成面）との距離を離間させることができる。同様に、第2の有機絶縁膜45の厚さを厚さを $55\mu\text{m}$ 以上とすることにより、外部とスパイラルインダクタ20との距離を離間させることができる。

【0122】よって本実施例によれば、基板11とスパイラルインダクタ20との間で寄生容量や寄生抵抗が発生することを防止できると共に、半導体装置10Gの外部機器・装置とスパイラルインダクタ20との間で寄生容量や寄生抵抗が発生することも防止でき、よってスパイラルインダクタ20のQ値を高めることが可能となる。従って、半導体装置10Gとして、高Q値を有したマイクロ波モノシリック集積回路(MMIC)を実現することができる。

【0123】更に、本実施例では第1の有機絶縁膜44

を、ポリイミドを主成分とする有機絶縁材により形成している。ポリイミドを主成分とする有機絶縁材は高い絶縁性及び低い誘電率（比誘電率）を有しているため、スパイラルインダクタ20のQ値の劣化を防止することができる。尚、第1の有機絶縁膜44の材質としては、ポリイミドの他にもエポキシを主成分とする有機絶縁材を用いることができる。エポキシは、ポリイミドほど誘電率は低くないが、機械的及び電気的な安定性は優れている。

【0124】また、第2の有機絶縁膜45は、エポキシまたはエポキシを主成分とする有機絶縁材（以下、エポキシ等という）により形成している。この構成とした場合、スパイラルインダクタ20及び基板11は、機械的強度に優れたエポキシ等で保護されるため、半導体装置10Gの信頼性を高めることができる。また、エポキシ等は高い絶縁性を有しているため、スパイラルインダクタ20のQ値の劣化を防止することができる。

【0125】続いて、ビア48の構成について説明する。ビア48は、第1の有機絶縁膜44上に形成されたスパイラルインダクタ50と、基板11に形成された電極46とを無機絶縁層41及び第1の有機絶縁膜44を介して電気的に接続するものである。

【0126】即ち、ビア48は、各絶縁層41、44を介してスパイラルインダクタ50と電極46とを接続する層間配線として機能するものである。このため、無機絶縁層41及び第1の有機絶縁膜44（第1のポリイミド層42、第2のポリイミド層43）には、ビア48を形成するための開口部41A、42A、43Aが形成されている。ここで、各開口部41A、42A、43Aの大小関係に注目する。

【0127】まず、第1の有機絶縁膜44を構成する第1のポリイミド層42に形成された開口部42Aの直径（図16に矢印 L_{42} で示す）と、第2のポリイミド層43に形成された開口部43Aの直径（図16に矢印 L_{43} で示す）を比較すると、開口部42Aの直径 L_{42} の方は、開口部43Aの直径 L_{43} より大きく設定されている（ $L_{42} > L_{43}$ ）。即ち、各ポリイミド層42、43に形成される開口部42A、43Aの直径 L_{42} 、 L_{43} は、基板11に対して上層となる程小さくなるよう構成されている。

【0128】また、最上位置（第1の有機絶縁膜44を構成する多層化されたポリイミド層の内の最上位置）に位置する第2のポリイミド層43は、その下部に位置している無機絶縁層41及び第1のポリイミド層42を覆うよう構成されている。即ち、第2のポリイミド層43は、無機絶縁層41及び第1のポリイミド層42を被服する被覆部43Bを有しており、この被覆部43Bは電極46上にも形成された構成とされている。そして、この被覆部43Bに形成された開口部43Aが、いわゆるビア48のビア孔となる。

【0129】また、ビア48を形成するために第1の有機絶縁膜44に形成される孔の直径寸法と、ビア48を形成するために無機絶縁層41に形成された開口部41Aの直径寸法（図16に矢印 L_{41} で示す）を比較する。

【0130】尚、ビア48を形成するために第1の有機絶縁膜44に形成される孔の直径寸法とは、本実施例のように第1の有機絶縁膜44が多層化されて複数のポリイミド層42、43から形成されている場合には、最も小さい直径の開口部（本実施例では、開口部43Aの直径 L_{43} ）をいうものとする。

【0131】図16に示されるように、本実施例では、第1の有機絶縁膜44に形成される孔の直径寸法直径 L_{43} は、開口部41Aの直径寸法 L_{41} よりも小さく設定されている（ $L_{43} < L_{41}$ ）。かつ、前記のように第2のポリイミド層43の被覆部43Bは、開口部41Aの形成位置において無機絶縁層41を覆う構成とされている。

【0132】上記構成とすることにより、第1の有機絶縁膜44を複数のポリイミド層42、43を積層した多層構造としても、その表面に形成される階段状の段差を最上位置に位置する第2のポリイミド層43により埋めることができる。同様に、無機絶縁層41と第1の有機絶縁膜44との間に形成される段差も、被覆部43Bを設けることにより埋められるこの際、ビア48（層間配線）となる導電金属膜が形成される孔の表面は、即ち被覆部43Bの表面は滑らかな傾斜面となるため、この被覆部43Bにビア48を形成してもビア48の内部に応力が残留することを防止できる（階段状の場合には、角部に応力が発生する）。従って、ビア48に亀裂等が生じることはなく、半導体装置10Gの信頼性を高めることができる。また、被覆部43Bの表面は滑らかなテーパ面となるため、ビア48となる金属膜を孔内に確実に形成することができる。

【0133】また本実施例では、いわゆるビア48のビア孔（ビア48と電極46とが電気的に接合する位置における開口であり、本実施例の場合には開口部43A）の直径 L_{43} を20～50 μm に設定している。この構成とすることにより、半導体装置10Gの小型化を図りつつ、ビア48のインピーダンス上昇を抑制することができる。

【0134】図19は、ビア48と電極46との接合位置におけるオーミック抵抗値（インピーダンス値）と、ビア孔の直径との関係を示している。同図に示すように、ビア孔の直径が大きくなる程、オーミック抵抗値の上昇が抑制されることが判る。しかしながら、ビア孔の開口直径が20.0 μm 未満となると、オーミック抵抗値は60.0m Ω を超えるため望ましくない。

【0135】一方、ビア孔の開口直径が50 μm を超えると、これに伴い電極46の面積が増大して半導体装置

10 Gの小型化を阻害することとなる。よって、ビア48のビア孔（開口部43A）の直径 L_{48} を20~50 μm に設定することにより、半導体装置10Gの小型化を図りつつ、ビア48のインピーダンス上昇を抑制することが可能となる。

【0136】尚、本実施例の構成では、外部電極49とスパイラルインダクタ20とを接続するポスト21を設けているため、半導体装置10Gの製造時にはこのポスト21により第2の有機絶縁膜45の厚さ W_1 を精度よく規定することができる。即ち、第2の有機絶縁膜45の厚さがポスト21の高さ以上となることはなく、よって第2の有機絶縁膜45の厚さを精度よく定めることができる。

【0137】また、上記した実施例では、第1の有機絶縁膜44を多層構造とした例について説明したが、第1の有機絶縁膜44を単層構造としてもよい。また、スパイラルインダクタ20の形状も渦巻き型に限定されるものではなく、他の形状（例えば、矩形状）としてもよい。

【0138】次に、本発明の第8実施例について説明する。図20は、第8実施例である半導体装置に設けられたスパイラルインダクタ50を拡大して示している。本実施例では、スパイラルインダクタ50の内側端部54をインダクタ中心点54よりずらした位置に設けると共に、この内側端部52から引き出される引き出し配線53を、中心点54を避けて形成したことを特徴とするものである。換言すれば、スパイラルインダクタ50の中心点54近傍には、スパイラルインダクタ50を構成する再配線層16が形成されてない未パターン部を設けた構成としている。

【0139】本実施例の構成とすることにより、スパイラルインダクタ50の小型化と高Q値を共に実現することが可能となる。以下、この理由について図21及び図22を参照しつつ説明する。

【0140】図21（A）に示すスパイラルインダクタ55は、本実施例にかかるスパイラルインダクタ50と同様に、内側端部をスパイラルインダクタ55の中心位置からずらした構成としている。しかしながら、引き出し配線53はスパイラルインダクタ55の中心位置を通るよう引き出された構成とされている。

【0141】図21（B）に示すスパイラルインダクタ56は、図21（A）に示したスパイラルインダクタ55に対して小型化を図ったものである。即ち、図21

（A）に示したスパイラルインダクタ55は、全体の直径 R_1 が大きかったため、図21（B）に示すスパイラルインダクタ56では、全体の直径を R_1 より小さい R_2 （ $R_2 < R_1$ ）としたものである。但し、スパイラルインダクタ56においても、引き出し配線53はスパイラルインダクタ56の中心位置を通るよう引き出された構成とされている。

【0142】図21（C）は、図20に示した本実施例

に係るスパイラルインダクタ50である。このスパイラルインダクタ50の全体の直径は、図21（B）に示した小型化を図ったスパイラルインダクタ56の直径 R_2 と等しく設定されている。

【0143】図22は、上記した各スパイラルインダクタ55、56、50のQ値特性を示している。同図に符号Aで示すのがスパイラルインダクタ55（図21

（A））の特性であり、符号Bで示すのがスパイラルインダクタ56（図21（B））の特性であり、符号Cで示すのが本実施例に係るスパイラルインダクタ50の特性である。

【0144】図22より、図21（A）に示すスパイラルインダクタ55のQ値は、他のスパイラルインダクタ50、56に比べて優れていることが判る。しかしながら、前記したようにスパイラルインダクタ55では、直径 R_1 が大きいために、これを搭載する半導体装置が大型化してしまう。

【0145】これに対し、図21（B）に示すスパイラルインダクタ55は、直径 R_2 が小さいためにこれを搭載する半導体装置の小型化は図れるものの、Q値は他のスパイラルインダクタ50、55に比べて劣っている。

【0146】これに対して本実施例に係るスパイラルインダクタ50は、前記ように直径 R_2 が小さいためにこれを搭載する半導体装置の小型化を図ることができると共に、Q値も前記したスパイラルインダクタ55の特性と略等しい値となっている。従って、本実施例によるスパイラルインダクタ50によれば、スパイラルインダクタ50の小型化と高Q値を共に実現することが可能となる。

【0147】以上の説明に関し、更に以下の項を開示する。

（付記1） 電子回路と、該電子回路と接続される外部接続端子とを有する電子装置であって、前記電子回路の一部の回路が回路形成面上に形成された基板と、該回路形成面上に形成された絶縁層と、該絶縁層内または該絶縁層上に、前記電子回路と前記外部接続端子とを接続する配線と共にパターン形成されており、前記電子回路の一部の回路を構成する内部配線とを具備することを特徴とする電子装置。

（付記2） 付記1記載の電子装置において、前記内部配線により形成される電子回路がインダクタであることを特徴とする電子装置。

（付記3） 付記1記載の電子装置において、前記内部配線により形成される電子回路がスパイラルインダクタであることを特徴とする電子装置。

（付記4） 付記3記載の電子装置において、前記スパイラルインダクタを多層に形成したことを特徴とする電子装置。

（付記5） 付記1乃至4のいずれか1項に記載の電子装置において、前記内部配線により形成される電子回路

と前記基板の回路形成面上に形成された電子回路との接続位置を、前記内部配線の内側の端部位置に設定したことを特徴とする電子装置。

(付記 6) 付記 1 記載の電子装置において、前記内部配線により形成される電子回路がアンテナであることを特徴とする電子装置。

(付記 7) 付記 1 記載の電子装置において、前記内部配線により形成される電子回路がインダクタとアンテナとであることを特徴とする電子装置。

(付記 8) 付記 7 記載の電子装置において、前記内部配線により形成される電子回路としてスパイラルインダクタ及びアンテナを形成し、該インダクタとアンテナとを積層形成すると共に、前記アンテナの配設位置が、前記回路形成面に対して前記インダクタより離間した位置にあるよう構成したことを特徴とする電子装置。

(付記 9) 付記 6 記載の電子装置において、前記アンテナが、前記基板の前記回路形成面と反対側の面に形成されていることを特徴とする電子装置。

(付記 10) 付記 1 乃至 9 のいずれか 1 項に記載の電子装置において、前記内部配線により形成される電子回路と、前記基板に形成される電子回路との間に、シールド層を形成したことを特徴とする電子装置。

(付記 11) 付記 10 記載の電子装置において、前記シールド層はメッシュ状とされていることを特徴とする電子装置。

(付記 12) 付記 1 乃至 11 のいずれか 1 項に記載の電子装置において、前記基板に、該基板と前記内部配線により形成される電子回路とを電気的に分離する分離層を形成したことを特徴とする電子装置。

(付記 13) 付記 12 記載の電子装置において、前記分離層は、前記基板に形成された微細トレンチに絶縁材を装填してなる構成であることを特徴とする電子装置。

(付記 14) 付記 1 乃至 13 のいずれか 1 項に記載の電子装置において、前記電子回路はローノイズアンプであることを特徴とする電子装置。

(付記 15) 付記 1 乃至 13 のいずれか 1 項に記載の電子装置において、前記電子回路はパワーアンプであることを特徴とする電子装置。

(付記 16) 電子回路が形成されると共に、表面に無機絶縁層が形成された基板と、前記無機絶縁層上に形成された第 1 の絶縁膜と、該第 1 の絶縁膜上に形成された配線により構成されるインダクタと、該第 1 の絶縁膜上に前記インダクタを覆うよう形成された第 2 の絶縁膜とを有する電子装置であって、前記第 1 の絶縁膜の厚さを $9\mu\text{m}$ 以上とし、かつ、前記第 2 の絶縁膜の厚さを $55\mu\text{m}$ 以上としたことを特徴とする電子装置。

(付記 17) 付記 16 記載の電子装置において、前記基板として半導体基板を用いたことを特徴とする付記 1 記載の電子装置。

(付記 18) 付記 16 または 17 記載の電子装置にお

いて、前記第 1 の絶縁膜を、ポリイミドまたはエポキシを主成分とする有機絶縁材により形成したことを特徴とする電子装置。

(付記 19) 付記 16 乃至 18 のいずれか 1 項に記載の電子装置において、前記第 2 の絶縁膜を、エポキシまたはエポキシを主成分とする有機絶縁材により形成したことを特徴とする電子装置。

(付記 20) 付記 16 乃至 19 のいずれか 1 項に記載の電子装置において、前記第 1 の絶縁膜を、単層構造としたことを特徴とする電子装置。

(付記 21) 付記 16 乃至 19 のいずれか 1 項に記載の電子装置において、前記第 1 の絶縁膜を、多層構造としたことを特徴とする電子装置。

(付記 22) 付記 21 記載の電子装置において、前記第 1 の絶縁膜を、複数種類の有機絶縁材よりなる層を積層して多層構造としたことを特徴とする電子装置。

(付記 23) 付記 16 乃至 19 のいずれか 1 項に記載の電子装置において、前記第 1 の絶縁膜を複数の絶縁層を積層した多層構造とすると共に、前記基板に形成された電極と前記インダクタとをビアにより接続する構成とし、かつ、前記第 1 の絶縁膜を構成する各絶縁層に形成されるビア孔の直径寸法が、前記基板に対して上層となる程小さくなるよう構成し、かつ、少なくとも最上位置に位置する絶縁層が前記無機絶縁層を覆う構成としたことを特徴とする電子装置。

(付記 24) 付記 16 乃至 19 のいずれか 1 項に記載の電子装置において、前記基板に形成された電極と前記インダクタとをビアにより接続する構成とし、かつ、前記第 1 の絶縁膜に形成されるビア孔の直径寸法が、前記無機絶縁層に形成されるビア孔の直径寸法よりも小さくなるよう構成し、かつ、前記第 1 の絶縁膜が前記無機絶縁層を覆う構成としたことを特徴とする電子装置。

(付記 25) 付記 24 記載の電子装置において、前記第 1 の絶縁膜に形成されるビア孔の直径寸法を $20\sim 50\mu\text{m}$ としたことを特徴とする電子装置。

(付記 26) 付記 16 乃至 25 のいずれか 1 項に記載の電子装置において、外部接続端子と前記配線とを接続する配線ポストを設け、かつ、前記第 2 の絶縁膜の厚さが前記配線ポストの高さにより規定される構成としたことを特徴とする電子装置。

【0148】

【発明の効果】 上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【0149】 請求項 1 記載の発明によれば、従来外付けされていたパッシブ回路等の電子回路を基板に形成された絶縁層内に形成することができるため、電子装置の多機能化を図ることができ、電子装置が搭載される電子機器等の小型化及び部品点数の削減を図ることができる。

【0150】 また、請求項 2 記載の発明によれば、小面積で高いインダクタ値を実現することができる。また、

スパイラルインダクタは、絶縁層内にパターン形成された内部配線で構成されるため、容易かつ安価に形成することができる。

【0151】また、請求項3記載の発明によれば、内部配線でアンテナを形成することにより、いわゆるワンチップで受信機を構成することが可能となり、配線等による特性劣化の少ない信頼性の高い小型の送信機、受信機、或いは送受信機を実現することができる。

【0152】また、請求項4記載の発明によれば、内部配線により形成される電子回路と基板に形成される電子回路とがシールド層により電気的に分離（アイソレーション）されるため、両電子回路間で相互に影響を及ぼすことを防止でき、信頼性の高い電子装置を実現することができる。

【0153】また、請求項5記載の発明によれば、基板と内部配線により形成される電子回路とが分離層により電気的に分離されるため、基板による影響で上記電子回路のQ値に劣化が生じることを防止でき、電子装置の信頼性の向上を図ることができる。

【0154】また、請求項6記載の発明によれば、基板とインダクタとの間及び電子装置の外部機器・装置との間で寄生容量や寄生抵抗が発生することを防止できるため、寄生容量や寄生抵抗を低減でき、よってインダクタのQ値を高めることができる。

【0155】また、請求項7記載の発明によれば、ポリイミドを主成分とする有機絶縁材は高い絶縁性及び低い誘電率（比誘電率）を有しており、またエポキシを主成分とする有機絶縁材は高い絶縁性を有しているため、インダクタンスのQ値の劣化を防止することができる。

【0156】また、請求項8及び9記載の発明によれば、孔の内壁に層間配線を形成する際、層間配線となる金属膜を確実に形成することができる。また、孔の表面に層間配線を形成しても、層間配線内に応力が残留することはなく、層間配線形成位置における信頼性の向上を図ることができる。

【0157】また、請求項10記載の発明によれば、電子装置の小型化を図りつつ、層間配線のインピーダンス上昇を抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である電子装置の構成図である。

【図2】本発明の第1実施例である電子装置の等価回路図である。

【図3】スパイラルインダクタと電子回路との接続を示す等価回路図である。

【図4】本発明の第1実施例である電子装置の断面図である。

【図5】本発明の第2実施例である電子装置の構成図である。

【図6】本発明の第3実施例である電子装置の構成図で

ある。

【図7】2層に積層されたスパイラルインダクタを示す斜視図である。

【図8】3層に積層されたスパイラルインダクタを示す斜視図である。

【図9】本発明の第4実施例である電子装置の構成図である。

【図10】アンテナ及びスパイラルインダクタと電子回路との接続を示す等価回路図である。

10 【図11】本発明の第5実施例である電子装置の構成図である。

【図12】本発明の第6実施例である電子装置の構成図である。

【図13】本発明の第6実施例である電子装置の伝送特性を示す図である。

【図14】スパイラルインダクタの適用例を説明するための図である。

【図15】本発明の第7実施例である電子装置の要部を拡大した平面図である。

20 【図16】図15におけるA-A線に沿う断面図である。

【図17】本発明の第7実施例である電子装置における第1の有機絶縁膜の膜厚とQ値との関係を示す図である。

【図18】本発明の第7実施例である電子装置における第2の有機絶縁膜の膜厚とQ値変動率との関係を示す図である。

30 【図19】本発明の第7実施例である電子装置におけるビアの開口寸法とオーミック抵抗値との関係を示す図である。

【図20】本発明の第8実施例である電子装置に搭載されるスパイラルインダクタを拡大して示す図である。

【図21】本発明の第8実施例である電子装置に搭載されるスパイラルインダクタを従来のスパイラルインダクタと比較しつつ示す図である。

【図22】本発明の第8実施例である電子装置に搭載されるスパイラルインダクタの特性を従来のスパイラルインダクタの特性と比較しつつ示す図である。

【符号の説明】

40 10 A～10 G 半導体装置

11 基板

12 電子回路

13 絶縁膜層

14 配線層

15 ポリイミド層

15 A 第1のポリイミド層

15 B 第2のポリイミド層

16 再配線層

17 封止樹脂層

50 19 ポスト

20 スパイラルインダクタ
 20A 第1のスパイラルインダクタ
 20B 第2のスパイラルインダクタ
 20C 第3のスパイラルインダクタ
 21 ポスト
 23 分離層
 27 アンテナ
 30 シールド層
 41 無機絶縁層
 41A, 42A, 43A 開口部
 42 第1のポリイミド層

43 第2のポリイミド層
 43B 被覆部
 44 第1の有機絶縁膜
 45 第2の有機絶縁膜
 48 ビア
 49 外部電極
 50 スパイラルインダクタ
 51 外側端部
 52 内側端部
 53 引き出し配線
 54 中心点

【図1】

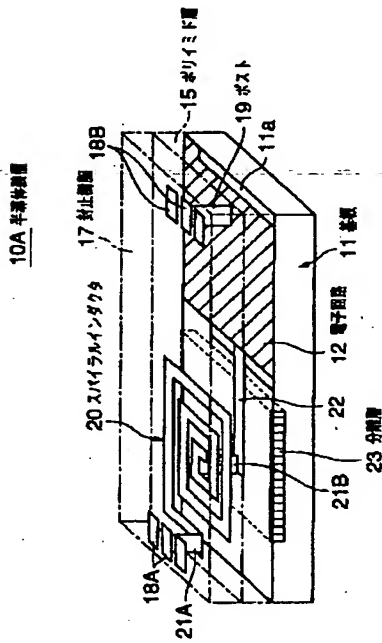
【図2】

【図4】

本発明の第1実施例である電子装置の構成図

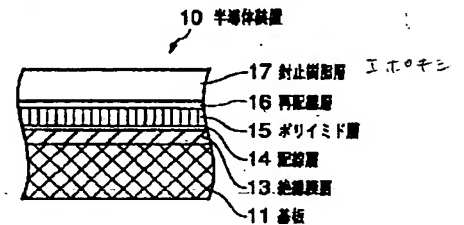
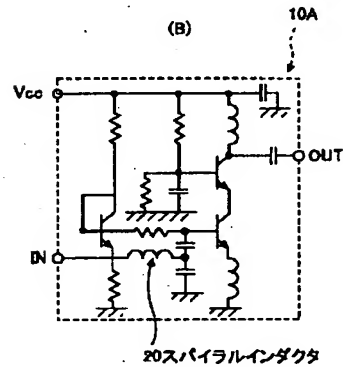
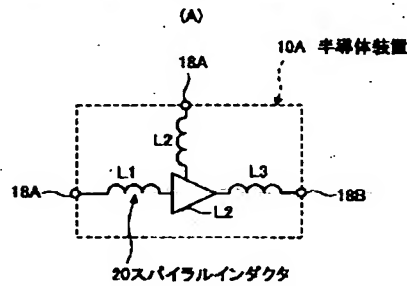
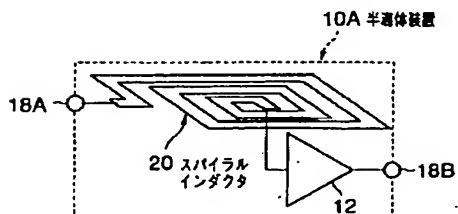
本発明の第1実施例である電子装置の等価回路図

本発明の第1実施例である電子装置の断面図



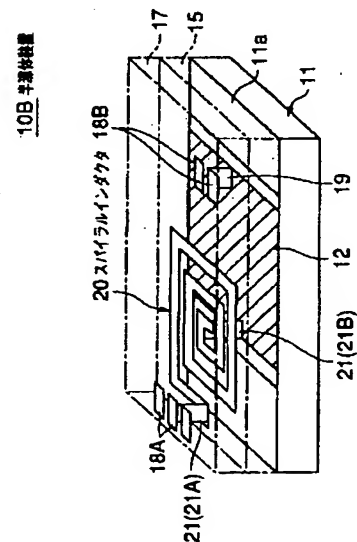
【図3】

スパイラルインダクタと電子回路との接続を示す等価回路図



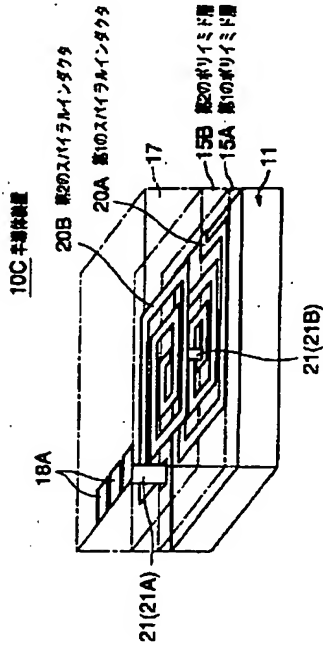
【図5】

本発明の第2実施例である電子装置の構成図



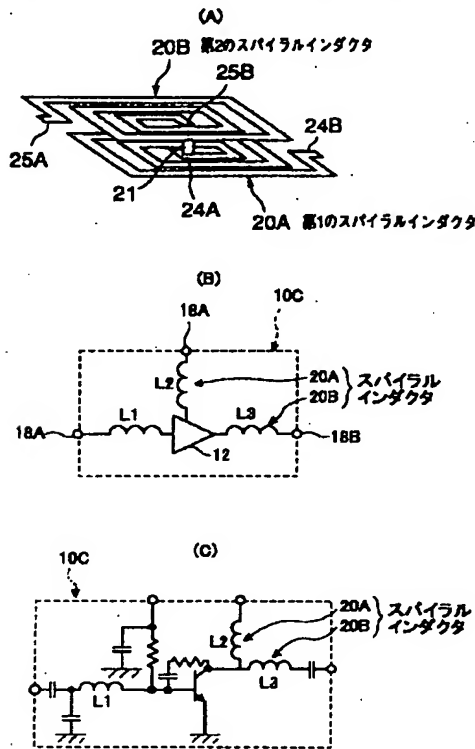
【図6】

本発明の第3実施例である電子装置の構成図



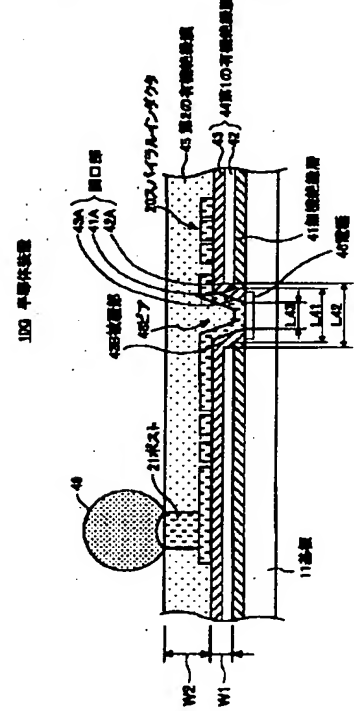
【図7】

2層に積層されたスパイラルインダクタを示す斜視図



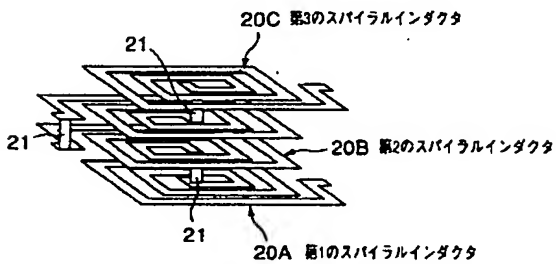
【図16】

図15におけるA-A線に沿う断面図



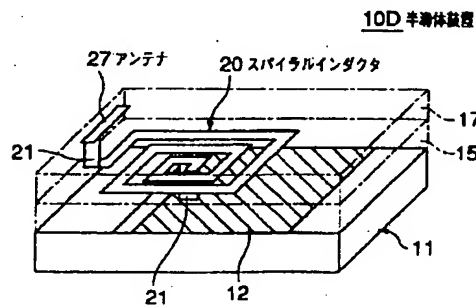
【図8】

3層に積層されたスパイラルインダクタを示す斜視図



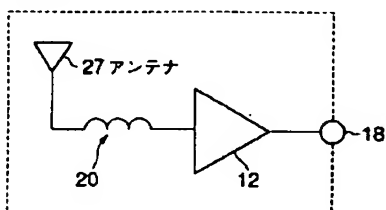
【図9】

本発明の第4実施例である電子装置の構成図



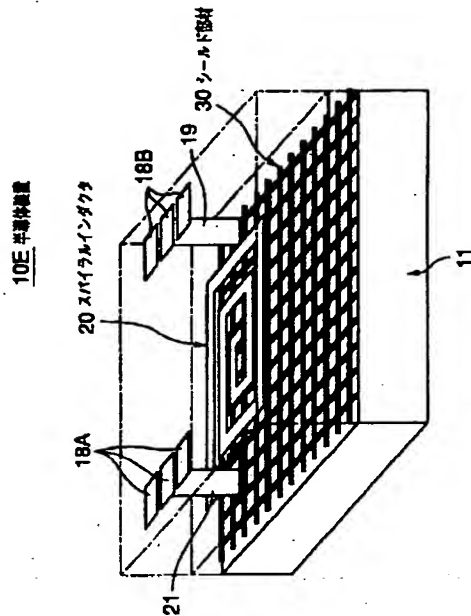
【図10】

アンテナ及びスパイラルインダクタと電子回路との接続を示す等価回路図



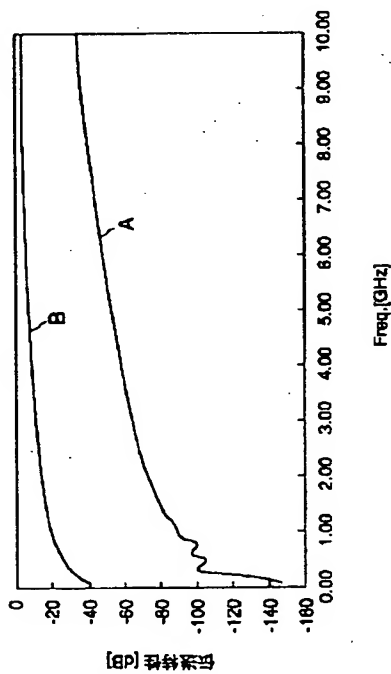
【図11】

本発明の第5実施例である電子装置の構成図



【図13】

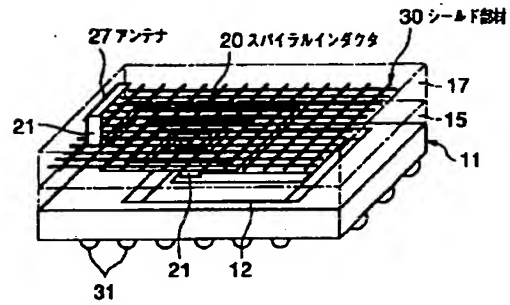
本発明の第6実施例である電子装置の伝送特性を示す図



【図12】

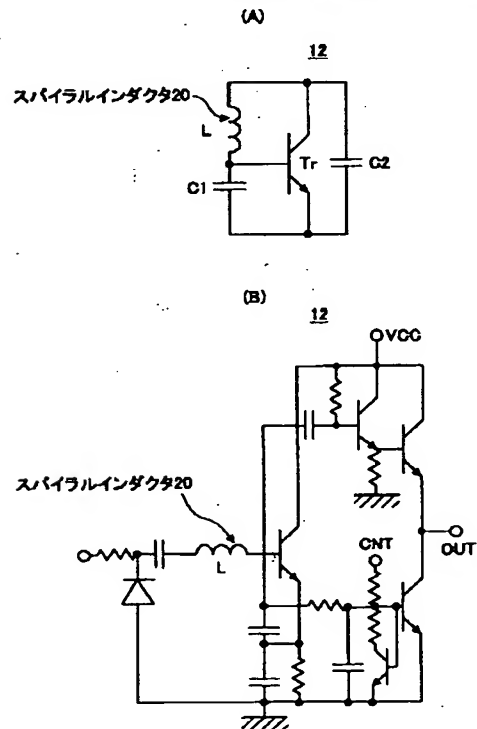
本発明の第8実施例である電子装置の構成図

10F 半導体装置



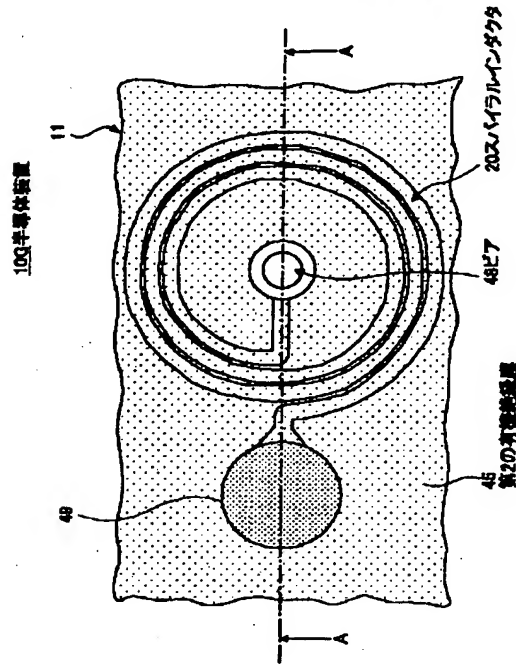
【図14】

スパイラルインダクタの適用例を説明するための図



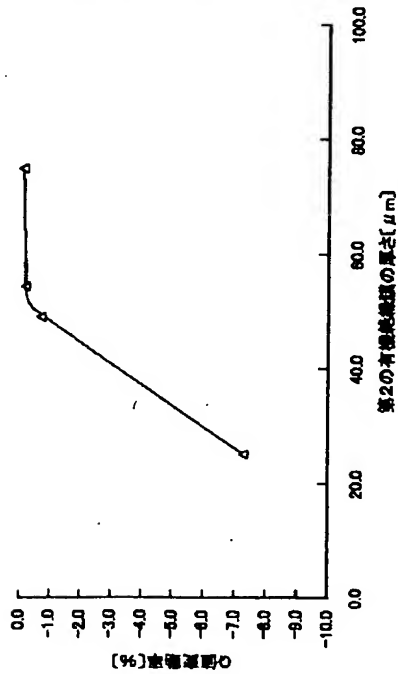
【図15】

本発明の第7実施例である電子装置の要部を拡大した平面図



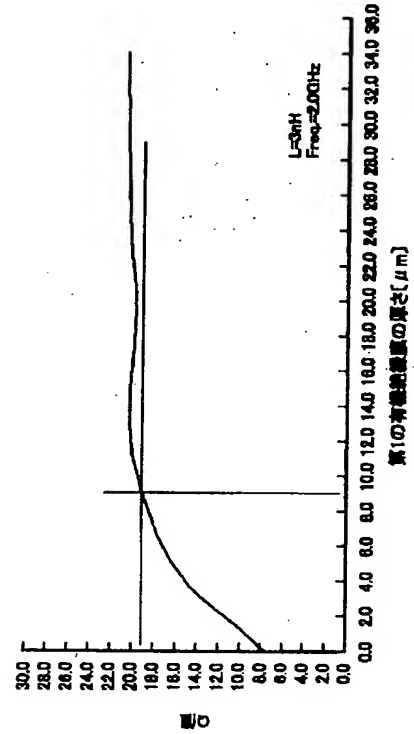
【図18】

本発明の第7実施例である電子装置における第2の有機絶縁膜の膜厚とQ値変動率との関係を示す図



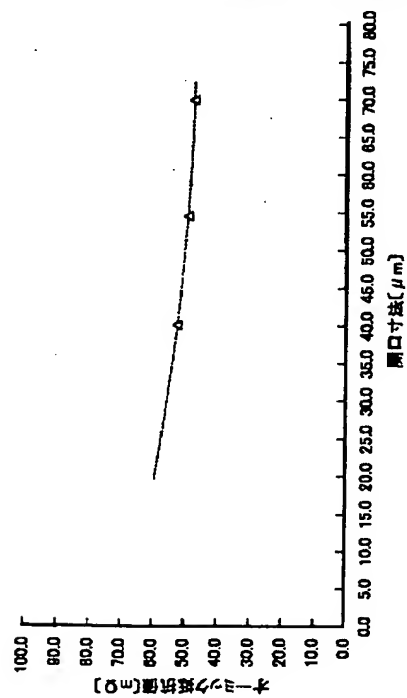
【図17】

本発明の第7実施例である電子装置における第1の有機絶縁膜の膜厚とQ値との関係を示す図



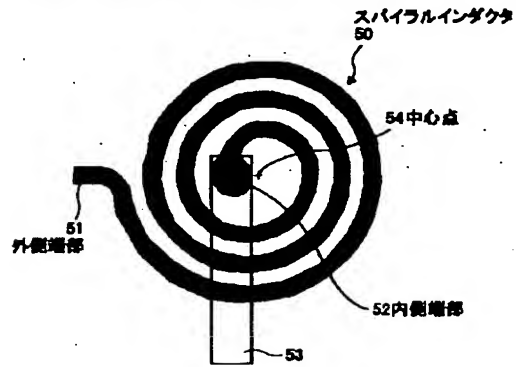
【図19】

本発明の第7実施例である電子装置におけるビアの開口寸法とオーミック抵抗値との関係を示す図



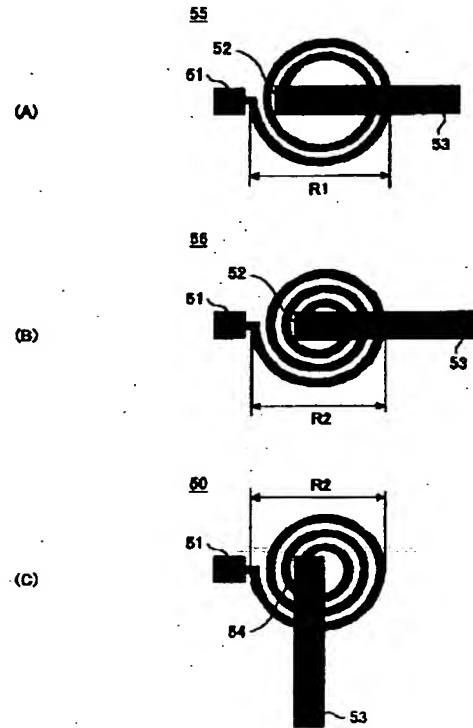
【図 20】

本発明の第8実施例である
電子装置に搭載されるスパイラルインダクタを拡大して示す図



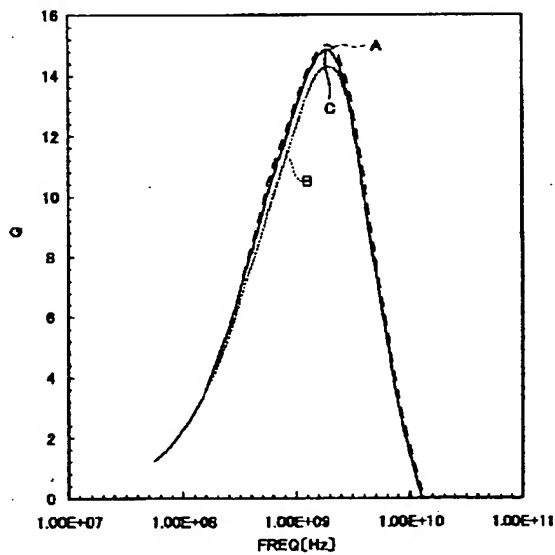
【図 21】

本発明の第8実施例である電子装置に搭載されるスパイラル
インダクタを従来のスパイラルインダクタと比較しつつ示す図



【図 22】

本発明の第8実施例である電子装置に搭載されるスパイラルインダクタ
の特性を従来のスパイラルインダクタの特性と比較しつつ示す図



フロントページの続き

(72)発明者 松木 浩久
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 井川 治
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 佐藤 光孝
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 青木 考樹
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 先間 宏行
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

Fターム(参考) 5E070 AA01 AB01 AB04 BA01 CB01
5J046 PA07

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)